

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tsuyoshi TSUJIOKA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: NONVOLATILE MEMORY AND ERASING METHOD

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-372662	October 31, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 3 1 日
Date of Application:

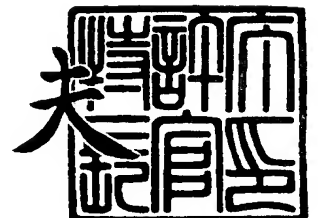
出 願 番 号 特 願 2 0 0 3 - 3 7 2 6 6 2
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 3 7 2 6 6 2]

出 願 人 大阪教育大学長
Applicant(s):

2 0 0 4 年 2 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 8 3 4 9



【書類名】 特許願
【整理番号】 A000304867
【提出日】 平成15年10月31日
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 7/00
【発明者】
 【住所又は居所】 大阪府大阪市東住吉区西今川 3 - 2 4 - 2 2
 【氏名】 辻岡 強
【特許出願人】
 【住所又は居所】 大阪府柏原市旭ヶ丘 4 丁目 6 9 8 番 1
 【氏名又は名称】 大阪教育大学長
【代理人】
 【識別番号】 100058479
 【弁理士】
 【氏名又は名称】 鈴江 武彦
 【電話番号】 03-3502-3181
【選任した代理人】
 【識別番号】 100091351
 【弁理士】
 【氏名又は名称】 河野 哲
【選任した代理人】
 【識別番号】 100088683
 【弁理士】
 【氏名又は名称】 中村 誠
【選任した代理人】
 【識別番号】 100108855
 【弁理士】
 【氏名又は名称】 蔵田 昌俊
【選任した代理人】
 【識別番号】 100075672
 【弁理士】
 【氏名又は名称】 峰 隆司
【選任した代理人】
 【識別番号】 100109830
 【弁理士】
 【氏名又は名称】 福原 淑弘
【選任した代理人】
 【識別番号】 100084618
 【弁理士】
 【氏名又は名称】 村松 貞男
【選任した代理人】
 【識別番号】 100092196
 【弁理士】
 【氏名又は名称】 橋本 良郎
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

双安定分子層を含んだ蓄積素子をそれぞれが備えた複数のメモリセルを具備し、

前記双安定分子層は、前記双安定分子層に正孔及び電子を注入することにより第 1 異性体から第 2 異性体への異性化を生じ且つ前記双安定分子層に消去光を照射することにより前記第 2 異性体から前記第 1 異性体への異性化を生じる双安定分子を含有し、

前記複数のメモリセルが記憶している情報を部分的に消去する場合に、前記複数のメモリセルのうち保持すべき情報を記憶しているメモリセルに対してのみ前記双安定分子層に電場を印加しながら、前記複数のメモリセルの全てに前記双安定分子層への前記消去光の照射を行うように構成されたことを特徴とする不揮発性メモリ。

【請求項 2】

前記蓄積素子は、前記双安定分子層の一方の主面と対向した第 1 電極と、前記双安定分子層の他方の主面と対向した第 2 電極とをさらに含んだことを特徴とする請求項 1 に記載の不揮発性メモリ。

【請求項 3】

前記蓄積素子は、前記第 1 電極と前記双安定分子層との間に正孔注入層をさらに含んだことを特徴とする請求項 2 に記載の不揮発性メモリ。

【請求項 4】

前記蓄積素子は、前記第 2 電極と前記双安定分子層との間に電子注入層をさらに含んだことを特徴とする請求項 2 または請求項 3 に記載の不揮発性メモリ。

【請求項 5】

前記第 1 電極の仕事関数は前記第 2 電極の仕事関数よりも大きく、前記第 2 電極が前記第 1 電極よりも高電位となるように前記第 1 及び第 2 電極間に第 1 電圧を印加することによって前記電場を形成するように構成されたことを特徴とする請求項 2 乃至請求項 4 の何れか 1 項に記載の不揮発性メモリ。

【請求項 6】

前記複数のメモリセルの 1 つに情報“0”及び情報“1”の何れか一方を書き込む場合に、そのメモリセルの前記第 1 及び第 2 電極間に前記第 1 電圧とは逆極性の第 2 電圧を印加して、前記第 1 及び第 2 電極から前記双安定分子層へと正孔及び電子をそれぞれ注入するように構成されたことを特徴とする請求項 5 に記載の不揮発性メモリ。

【請求項 7】

前記複数のメモリセルの 1 つに書き込まれた情報を読み出す場合に、そのメモリセルの前記第 1 及び第 2 電極間に前記第 2 電圧と同極性であり且つ前記第 2 電圧よりも小さな第 3 電圧を印加し、前記メモリセルの前記蓄積素子を通る電流を検出するように構成されたことを特徴とする請求項 6 に記載の不揮発性メモリ。

【請求項 8】

不揮発性メモリに書き込まれた情報を消去する消去方法であって、

前記不揮発性メモリは、双安定分子層を含んだ蓄積素子をそれぞれが備えた複数のメモリセルを具備し、前記双安定分子層は、前記双安定分子層に正孔及び電子を注入することにより第 1 異性体から第 2 異性体への異性化を生じ且つ前記双安定分子層に消去光を照射することにより前記第 2 異性体から前記第 1 異性体への異性化を生じる双安定分子を含有し、

前記複数のメモリセルの一部に対して前記双安定分子層に電場を印加しながら、前記複数のメモリセルの全てに前記双安定分子層への前記消去光の照射を行うことにより、前記複数のメモリセルのうち、前記双安定分子層に前記電場を印加したメモリセルが記憶している情報を消去することなく、それ以外のメモリセルが記憶している情報を消去することを特徴とする消去方法。

【請求項 9】

前記蓄積素子は、前記双安定分子層の一方の主面と対向した第 1 電極と、前記双安定分子層の他方の主面と対向した第 2 電極とをさらに含み、

前記第 1 電極の仕事関数は前記第 2 電極の仕事関数よりも大きく、
前記電場は、前記第 2 電極が前記第 1 電極よりも高電位となるように前記第 1 及び第 2 電極間に電圧を印加することによって形成することを特徴とする請求項 8 に記載の消去方法。

【書類名】明細書**【発明の名称】不揮発性メモリ及び消去方法****【技術分野】****【0001】**

本発明は、不揮発性メモリ及びそれに書き込まれた情報を消去する消去方法に関する。

【背景技術】**【0002】**

DRAM (Dynamic Random Access Memory) やEEPROM (Electrically Erasable Programable Read-Only Memory) などの半導体メモリの各メモリセルは、通常、トランジスタなどの転送素子と、キャパシタやフローティングゲートを有するトランジスタなどの蓄積素子とで構成されている。これまで、半導体メモリの大容量化は微細加工技術の進展により実現されてきており、転送素子は、今後も益々微細化されることが予想されている。他方、蓄積素子の微細化については、既に、困難に直面している。これが、半導体メモリの大容量化を妨げている。

【0003】

さらなる大容量化を実現可能なメモリとして、以下の非特許文献1には、蓄積素子にフォトリソミック分子を使用した不揮発性メモリが記載されている。

【0004】

ここで使用しているフォトリソミック分子は、通常の使用温度域で2つの安定な構造を取り得る双安定分子である。この双安定分子は、波長が互いに異なる2種類の光、書き込み光及び消去光、を照射することにより、第1異性体から第2異性体への異性化及びその逆反応をそれぞれ生じる。

【0005】

これら第1異性体から第2異性体への異性化は、双安定分子を含有した双安定分子層に正孔及び電子を注入することによっても生じさせることができる。すなわち、この不揮発性メモリには、情報を電気的に書き込むことができる。また、この蓄積素子の導電特性は、第1異性体と第2異性体とのモル比に応じて変化するので、この不揮発性メモリからは、書き込まれた情報を電気的に読み出すことができる。

【0006】

しかしながら、この不揮発性メモリに書き込まれた情報を消去するには、双安定分子層に消去光を照射しなければならない。双安定分子層への消去光の照射は、機械的な制御を行わない限り、比較的広い領域、典型的には全てのメモリセル、に対して行うこととなる。機械的な制御は消去速度を著しく低下させるため、現実的には、この不揮発性メモリに書き込まれた情報の一部のみを選択的に消去することはできない。

【非特許文献1】「アプライド・フィジックス・レターズ (APPLIED PHYSICS LETTERS)」, (米国), アメリカン・インスティテュート・オブ・フィジックス (American Institute of Physics), 第83巻, 第5号, P. 937-939

【発明の開示】**【発明が解決しようとする課題】****【0007】**

本発明の目的は、蓄積素子に双安定分子を使用した不揮発性メモリに書き込まれた情報の選択的且つ高速な消去を可能とすることにある。

【課題を解決するための手段】**【0008】**

本発明の第1側面によると、双安定分子層を含んだ蓄積素子をそれぞれが備えた複数のメモリセルを具備し、前記双安定分子層は、前記双安定分子層に正孔及び電子を注入することにより第1異性体から第2異性体への異性化を生じ且つ前記双安定分子層に消去光を照射することにより前記第2異性体から前記第1異性体への異性化を生じる双安定分子を含有し、前記複数のメモリセルが記憶している情報を部分的に消去する場合に、前記複数のメモリセルのうち保持すべき情報を記憶しているメモリセルに対してのみ前記双安定分

子層に電場を印加しながら、前記複数のメモリセルの全てに前記双安定分子層への前記消去光の照射を行うように構成されたことを特徴とする不揮発性メモリが提供される。

【0009】

本発明の第2側面によると、不揮発性メモリに書き込まれた情報を消去する消去方法であって、前記不揮発性メモリは、双安定分子層を含んだ蓄積素子をそれぞれが備えた複数のメモリセルを具備し、前記双安定分子層は、前記双安定分子層に正孔及び電子を注入することにより第1異性体から第2異性体への異性化を生じ且つ前記双安定分子層に消去光を照射することにより前記第2異性体から前記第1異性体への異性化を生じる双安定分子を含有し、前記複数のメモリセルの一部に対して前記双安定分子層に電場を印加しながら、前記複数のメモリセルの全てに前記双安定分子層への前記消去光の照射を行うことにより、前記複数のメモリセルのうち、前記双安定分子層に前記電場を印加したメモリセルが記憶している情報を消去することなく、それ以外のメモリセルが記憶している情報を消去することを特徴とする消去方法が提供される。

【0010】

蓄積素子は、双安定分子層の一方の主面と対向した第1電極と、双安定分子層の他方の主面と対向した第2電極とをさらに含んでいてもよい。

【0011】

蓄積素子は、第1電極と双安定分子層との間に正孔注入層をさらに含んでいてもよい。また、蓄積素子は、第2電極と双安定分子層との間に電子注入層をさらに含んでいてもよい。

【0012】

第1電極の仕事関数は、第2電極の仕事関数よりも大きくてもよい。この場合、第2電極が第1電極よりも高電位となるように第1及び第2電極間に第1電圧を印加することによって上記電場を形成してもよい。

【0013】

複数のメモリセルの1つに情報“0”及び情報“1”の何れか一方を書き込む場合には、そのメモリセルの第1及び第2電極間に第1電圧とは逆極性の第2電圧を印加して、第1及び第2電極から双安定分子層へと正孔及び電子をそれぞれ注入してもよい。

【0014】

複数のメモリセルの1つに書き込まれた情報を読み出す場合には、そのメモリセルの第1及び第2電極間に第2電圧と同極性であり且つ第2電圧よりも小さな第3電圧を印加し、先のメモリセルの蓄積素子を通る電流を検出してもよい。

【発明の効果】

【0015】

本発明によると、蓄積素子に双安定分子を使用した不揮発性メモリに書き込まれた情報の選択的且つ高速な消去が可能となる。

【発明を実施するための最良の形態】

【0016】

以下、本発明の態様について、図面を参照しながら説明する。なお、各図において、同様または類似する機能を有する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0017】

図1は、本発明の一態様に係る不揮発性メモリを概略的に示す断面図である。図2は、本発明の一態様に係る不揮発性メモリの等価回路図である。

【0018】

この不揮発性メモリ1は、半導体基板2を含んでいる。半導体基板2には、複数本のワード線WLと、それらと交差した複数本のビット線BLと、それぞれワード線WLとビット線BLとの交差部近傍に配置された複数の転送素子TRと、それぞれ転送素子TRを介してビット線BLに接続されるとともに半導体基板2の一主面上で縦横に配列した複数の第1電極3とが形成されている。

【0019】

半導体基板 2 には、さらに、各ワード線 WL に接続されたワード線駆動回路 DR 1 と、各ビット線 BL に接続されたビット線駆動回路 DR 2 と、それぞれビット線 BL に接続された複数のセンスアンプ（図示せず）とが形成されている。この例では、転送素子 TR を 1 つの電界効果トランジスタで構成しているが、転送素子 TR は、他のスイッチング素子で構成してもよく、或いは、複数のスイッチング素子で構成してもよい。

【0020】

第 1 電極 3 は、双安定分子層 4 で被覆されている。双安定分子層 4 は、透明電極である第 2 電極 5 で被覆されている。この例では、第 1 電極 3 と双安定分子層 4 及び第 2 電極 5 の第 1 電極 3 に対応した部分とは、蓄積素子 ST を構成している。また、この例では、各メモリセル MC は、1 つの転送素子 TR と 1 つの蓄積素子 ST とで構成されている。

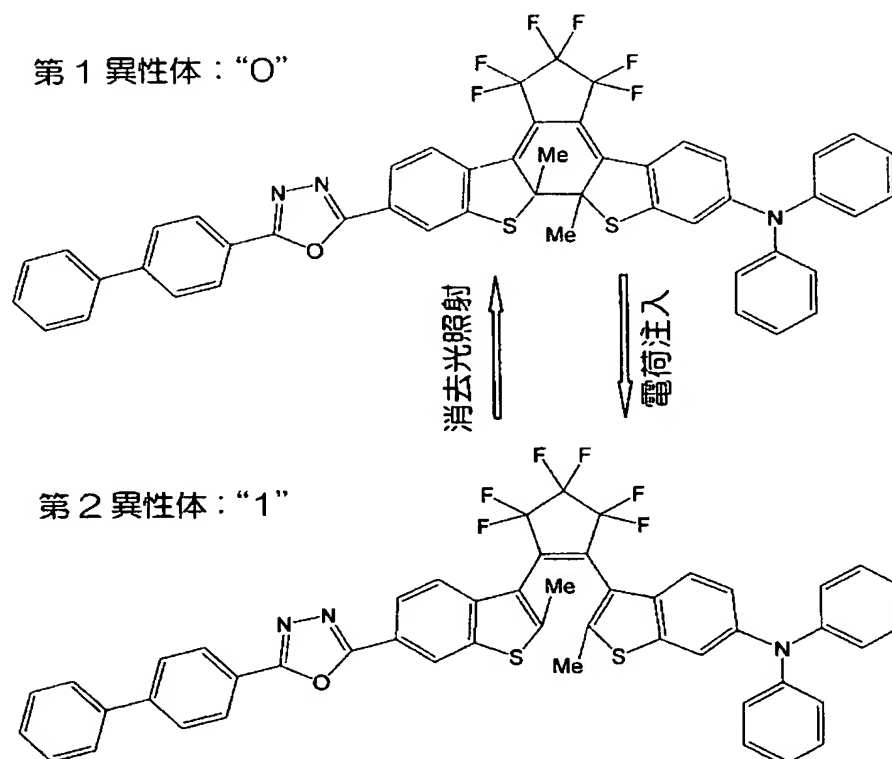
【0021】

この不揮発性メモリは、情報消去用の光源（図示せず）及び制御部（図示せず）と組み合わせて使用される。この光源は、第 2 電極 5 を介して双安定分子層に消去光を照射できるように、例えば、第 2 電極 5 と略正対するように、配置されている。制御部は、ワード線駆動回路 DR 1 やビット線駆動回路 DR 2 への信号の供給、センスアンプが出力する信号の処理、情報消去用光源の ON/OFF などの各種制御を行う。

【0022】

図 1 及び図 2 の不揮発メモリで使用可能な双安定分子の 2 つの異性体と情報“0”及び“1”との関係を以下に示す。なお、以下の化学式において、「Me」はメチル基を示している。

【化 1】



【0023】

上記化学式で示す 2 つの化合物は、互いに異性体の関係にある。これら第 1 及び第 2 異性体は、何れも、室温を含む比較的広い温度域で安定である。

【0024】

第 1 異性体から第 2 異性体への異性化は、双安定分子層 4 に、正孔及び電子を注入することにより生じさせることができる。すなわち、それら電荷の注入により、第 1 異性体の HOMO (Highest Occupied Molecular Orbital) に正孔が存在し且つ LUMO (Lowest

Unoccupied Molecular Orbital) に電子が存在している励起状態を生じさせ、この励起状態を介して、第1異性体を第2異性体へと異性化させることができる。したがって、例えば、双安定分子層における第2異性体の第1異性体に対する比がより小さい状態とこの比がより大きい状態とを、それぞれ、情報“0”及び“1”に対応させて、二値情報を書き込むことができる。

【0025】

また、双安定分子層4における第2異性体の第1異性体に対する比が大きくなるほど、蓄積素子STの電気抵抗値は大きくなる。したがって、例えば、蓄積素子STに定電圧を印加し、それに流れる電流を検出することにより、蓄積素子STが保持している情報を読み出すことができる。

【0026】

なお、この読み出しの際、蓄積素子STに印加する電圧は、書き込み時に蓄積素子STに印加する電圧よりも十分に低く設定する。双安定分子層4のイオン化エネルギーと第1電極3の仕事関数との差と、第2電極5の仕事関数と双安定分子層4の電子親和力との差とが異なっていれば、双安定分子層4中に注入される電荷を、正孔及び電子の一方のみとすることができる。この場合、書き込みに関して上述した励起状態は生じないので、双安定分子の異性化は起こらない。すなわち、非破壊読み出しが可能である。

【0027】

第2異性体から第1異性体への異性化は、双安定分子層4に、消去光として紫外線を照射することにより生じさせることができる。消去光照射により、第2異性体のHOMOに正孔が存在し且つLUMOに電子が存在している励起状態が生じ、この励起状態を介して、第2異性体は第1異性体へと異性化する。すなわち、双安定分子層4に消去光を照射することにより、蓄積素子STが保持している情報“1”を情報“0”へと書き換えることができる。また、第1異性体と第2異性体とは吸収波長域が異なっているので、消去光照射により、第1異性体が第2異性体へと異性化することはない。すなわち、双安定分子層4に消去光を照射することにより、蓄積素子STが保持している情報“0”が情報“1”へと書き換えられることはない。したがって、消去光照射により、全てのメモリセルMCについて、蓄積素子STが保持している情報を情報“0”とすること、換言すれば、蓄積素子STが保持している情報を消去すること、ができる。

【0028】

さて、本態様では、例えば、以下の方法を採用することにより、一部のメモリセルMCが保持している情報を選択的に消去可能とする。

【0029】

図3は、メモリセルが保持している情報を選択的に消去する方法を概略的に示す図である。

上述した通り、双安定分子層4に消去光を照射すると、第2異性体のHOMOに正孔が存在し且つLUMOに電子が存在している励起状態が生じ、この励起状態を介して、第2異性体は第1異性体へと異性化する。この際、例えば、第1電極3及び第2電極5を利用して双安定分子層4に電場を印加しておくと、HOMOの正孔は電場と同じ向きの力を受け、LUMOの電子は逆向きの力を受ける。この電場の強度が十分に高ければ、或る双安定分子で照射光照射によって生じた正孔及び電子は、それを挟んで隣接する一対の双安定分子へと逆向きに移動する。その結果、正孔及び電子を生じた双安定分子は、励起状態から基底状態へと戻る。したがって、この双安定分子が第2異性体から第1異性体へと異性化することはない。

【0030】

また、先の双安定分子からそれを挟んで隣接する一対の双安定分子へと移動した正孔及び電子は、電場の作用によって互いからの距離をさらに広げる。通常、第1電極3の仕事関数は双安定分子層4のイオン化エネルギーよりも小さく、且つ、第2電極5の仕事関数は双安定分子層4の電子親和力よりも大きい。そのため、消去光照射によって生じた正孔及び電子は、それぞれ、双安定分子層4から第1電極3及び第2電極5へと速やかに流れ

る。それゆえ、消去光照射によって生じた正孔及び電子が双安定分子層 4 内で再結合する確率を十分に低くすることができ、したがって、或る双安定分子で生じた正孔及び電子に起因して、他の双安定分子が第 2 異性体から第 1 異性体へと異性化することは殆んどない。

【0031】

すなわち、図 3 に示すように、双安定分子層 4 に電場を印加することなく消去光を照射すると、メモリセル MC が保持している情報 “1” を情報 “0” に書き換えることができる。また、図 3 に示すように、双安定分子層 4 に電場を印加しながら消去光を照射すると、メモリセル MC が保持している情報 “1” が情報 “0” へと書き換えられるのを防止することができる。

【0032】

なお、消去時に、電場印加に伴って双安定分子層 4 に正孔及び電子の双方が注入されると、第 1 異性体から第 2 異性体への異性化を生じ得る。例えば、第 1 電極 3 及び第 2 電極 5 間に印加する電圧を書き込み時と比較して十分に小さくすることにより、電場印加に伴って双安定分子層に正孔及び電子の双方が注入されるのを抑制することができる。また、以下に説明するように、消去時に印加する電圧を、書き込み時に蓄積素子 ST に印加する電圧とは逆極性にすると、比較的高い電圧を印加した場合であっても、電場印加に伴って双安定分子層に正孔及び電子の双方が注入されるのを抑制することができる。

【0033】

陽極である第 1 電極 3 の仕事関数及び陰極である第 2 電極 5 の仕事関数は、双安定分子層 4 の電子親和力とイオン化エネルギーとの間にある。通常、陽極である第 1 電極 3 には仕事関数がより大きい金属材料を使用し、陰極である第 2 電極 5 には仕事関数がより小さな金属材料を使用する。これにより、第 1 電極 3 から双安定分子層 4 への正孔の注入障壁及び第 2 電極 5 から双安定分子層 4 への電子の注入障壁を比較的小さくする。

【0034】

このような構成では、第 1 電極 3 から双安定分子層 4 への電子の注入障壁及び第 2 電極 5 から双安定分子層 4 への正孔の注入障壁は比較的大きくなる。したがって、消去時には、第 2 電極 5 が第 1 電極 3 よりも高電位となるように第 1 電極 3 と第 2 電極 5 との間に第 1 電圧を印加すれば、この第 1 電圧が比較的高い場合であっても、電場印加に伴って双安定分子層 4 に正孔及び電子の双方が注入されるのを抑制することができる。

【0035】

また、情報 “1” を書き込む際には、第 1 電極 3 と第 2 電極 5 との間に第 1 電圧とは逆極性の第 2 電圧を印加すれば、双安定分子層 4 へと正孔及び電子を効率的に注入することができる。さらに、第 1 電極 3 と第 2 電極 5 との間に第 2 電圧と同極性であり且つ第 2 電圧よりも十分に小さな第 3 電圧を印加して、蓄積素子 ST を流れる電流を検出すれば、少ない消費電力で非破壊読み出しが可能となる。

【0036】

蓄積素子 ST には、以下の構造を採用してもよい。

図 4 は、蓄積素子に採用可能な構造の一例を概略的に示す断面図である。

【0037】

この蓄積素子 ST は、第 1 電極 3 と双安定分子層 4 との間に、正孔注入層 6 を含んでいる。また、この蓄積素子 ST は、第 2 電極 5 と双安定分子層 4 との間に、電子注入層 7 を含んでいる。

【0038】

正孔注入層 6 のイオン化エネルギーは、双安定分子層 4 のイオン化エネルギーよりも小さい。また、正孔注入層 6 の電子親和力は、双安定分子層 4 の電子親和力よりも小さい。さらに、第 1 電極 3 の仕事関数及び双安定分子層 4 の電子親和力は、正孔注入層 6 のイオン化エネルギーと電子親和力との間にある。

【0039】

他方、電子注入層 7 の電子親和力は、双安定分子層 4 の電子親和力よりも大きい。また

、電子注入層 7 のイオン化エネルギーは、双安定分子層 4 のイオン化エネルギーよりも大きい。さらに、第 2 電極 5 の仕事関数及び双安定分子層 4 のイオン化エネルギーは、電子注入層 7 のイオン化エネルギーと電子親和力との間にある。

【0040】

このような構成を採用すると、第 1 電圧印加時の正孔及び電子の注入障壁がより大きくなる。したがって、第 1 電圧がより高い場合であっても、第 1 電圧印加に伴って双安定分子層 4 に正孔及び電子の双方が注入されるのを抑制することができる。なお、この効果は、蓄積素子 S T に、正孔注入層 6 及び電子注入層 7 の何れか一方のみを設けた場合でも得ることができる。さらに、この効果は、正孔注入層 6 と双安定分子層 4 との間に正孔輸送層を介在させた場合や、電子注入層 7 と双安定分子層 4 との間に電子輸送層を介在させた場合にも得ることができる。

【0041】

以上説明したように、この消去方法では、情報を消去すべきメモリセル MC に対しては蓄積素子 S T へ電場を印加せず、情報を消去しないメモリセル MC に対しては蓄積素子 S T へ電場を印加、すなわち保持信号を供給、しながら、全ての双安定分子層 4 に消去光を照射する。したがって、ワード線駆動回路 D R 1 には、転送素子 T R を導通状態とする信号を、ワード線 W L を 1 本毎に供給可能な構成に加え、複数本のワード線 W L に対して同時に供給可能な構成を採用する。同様に、ビット線駆動回路 D R 2 には、保持信号を、ビット線 B L を 1 本毎に供給可能な構成に加え、複数本のビット線 B L に対して同時に供給可能な構成を採用する。

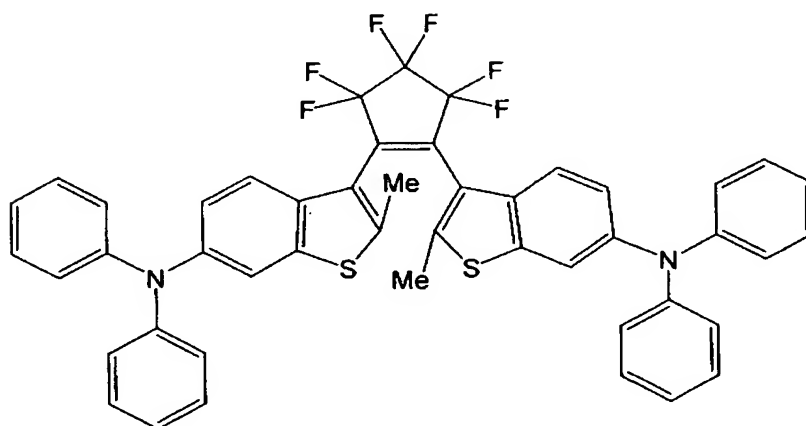
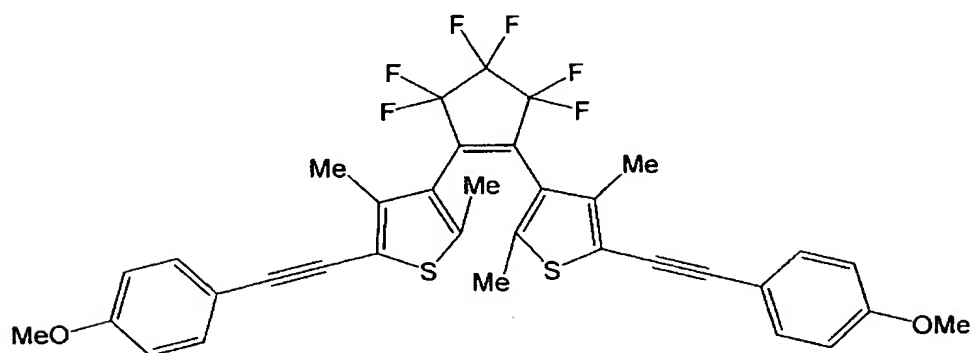
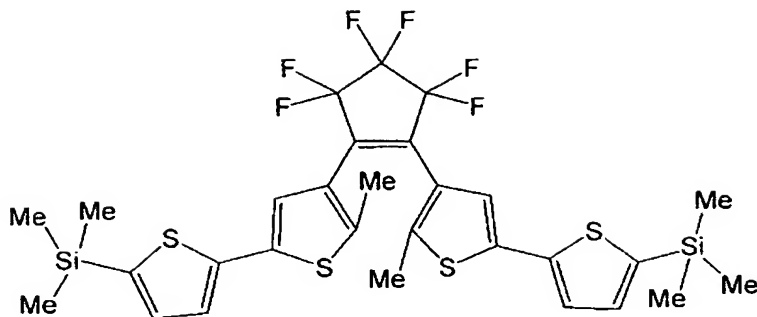
【0042】

なお、図 2 に示す回路構成を採用した場合、例えば、行方向に 1 列に並んだ複数のメモリセル MC からなるメモリセル群毎に、或いは、列方向に 1 列に並んだ複数のメモリセル MC からなるメモリセル群毎に情報を消去することができる。また、他の回路構成を採用した場合には、1 つのメモリセル MC 毎に情報を消去することも可能である。

【0043】

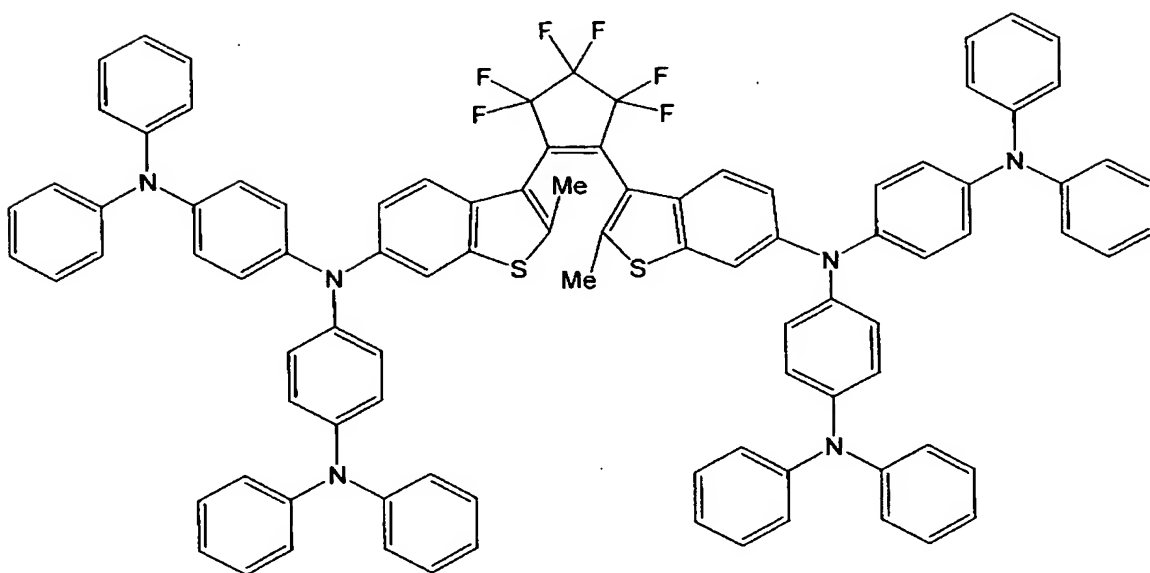
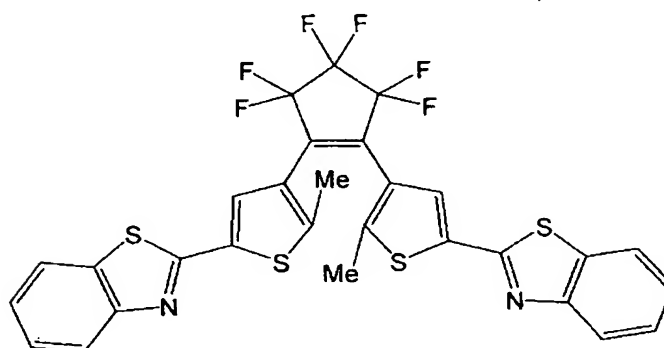
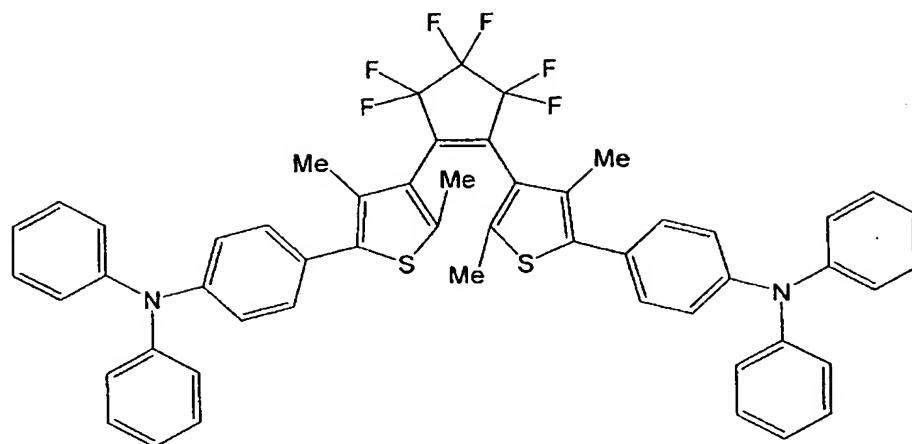
上述した不揮発性メモリ 1 において、双安定分子としては、上記化学式に示す有機化合物に加え、様々な化合物を使用することができる。以下に、不揮発性メモリ 1 で使用可能な代表的な双安定分子を例示する。

【化2】



【0044】

【化 3】



【0045】

双安定分子層 4 は、1 種の双安定分子を含有していてもよく、或いは、複数種の双安定分子を含有していてもよい。また、双安定分子層 4 は、双安定分子に加え、他の材料をさらに含有することができる。例えば、双安定分子層 4 は、正孔注入層 6 や電子輸送層 7 に関して後で例示する材料をさらに含有することができる。双安定分子層 4 は、蓄積素子 S T 毎に分割されている必要はなく、連続膜であってもよい。双安定分子層 4 は、例えば、蒸着法などにより形成することができる。

【0046】

第1電極3の材料としては、例えば、マグネシウムなどの金属やマグネシウム－インジウム合金などの合金のように、OLED (Organic Light-Emitting Diode) の陰極と同様の無機導電体を使用することができる。第1電極3は、例えば、スパッタリング法などにより連続膜を形成し、これをパターンニングすることにより得ることができる。

【0047】

第2電極5の材料としては、例えば、ITO (Indium Tin Oxide) などのように、OLEDの陽極と同様の無機導電体を使用することができる。第2電極5は、蓄積素子ST毎に分割されている必要はなく、連続膜であってもよい。第2電極5は、例えば、スパッタリング法などにより形成することができる。

【0048】

なお、図1では、基板2上に、第1電極3、双安定分子層4及び第2電極5が順次積層されているが、それらの積層順は逆でもよい。何れの場合であっても、光源側に位置した電極は、消去光を透過可能であることが必要である。

【0049】

正孔注入層6及び正孔輸送層の材料としては、例えば、オリゴアミンやオリゴチオフェンなどの有機物や酸化バナジウムなどの無機半導体やフッ化リチウムなどの無機絶縁体のように、OLEDの正孔注入層や正孔輸送層と同様の材料を使用することができる。なお、正孔輸送層としては、通常、イオン化エネルギーが、正孔注入層6のイオン化エネルギーと双安定分子層4のイオン化エネルギーとの間にあるものを使用する。正孔注入層6及び正孔輸送層は、蓄積素子ST毎に分割されている必要はなく、連続膜であってもよい。正孔注入層6及び正孔輸送層は、例えば、蒸着法などにより形成することができる。

【0050】

電子注入層7及び電子輸送層の材料としては、例えば、オキサジアゾール系材料などの有機物やAlq₃などの有機金属錯体のように、OLEDの電子注入層や電子輸送層と同様の材料を使用することができる。なお、電子輸送層としては、通常、電子親和力が、電子注入層7の電子親和力と双安定分子層4の電子親和力との間にあるものを使用する。電子注入層7及び電子輸送層は、蓄積素子ST毎に分割されている必要はなく、連続膜であってもよい。電子注入層7及び電子輸送層は、例えば、蒸着法などにより形成することができる。

【図面の簡単な説明】

【0051】

【図1】 本発明の一態様に係る不揮発性メモリを概略的に示す断面図。

【図2】 本発明の一態様に係る不揮発性メモリの等価回路図。

【図3】 メモリセルが保持している情報を選択的に消去する方法を概略的に示す図。

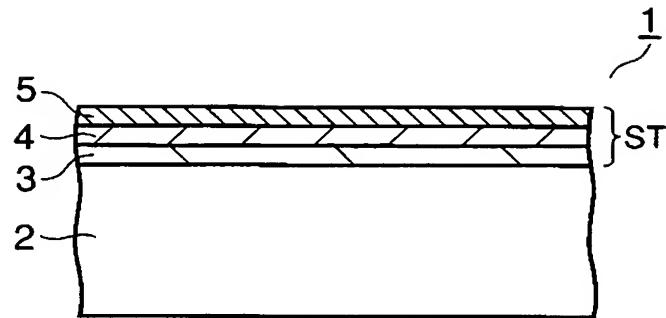
【図4】 蓄積素子に採用可能な構造の一例を概略的に示す断面図。

【符号の説明】

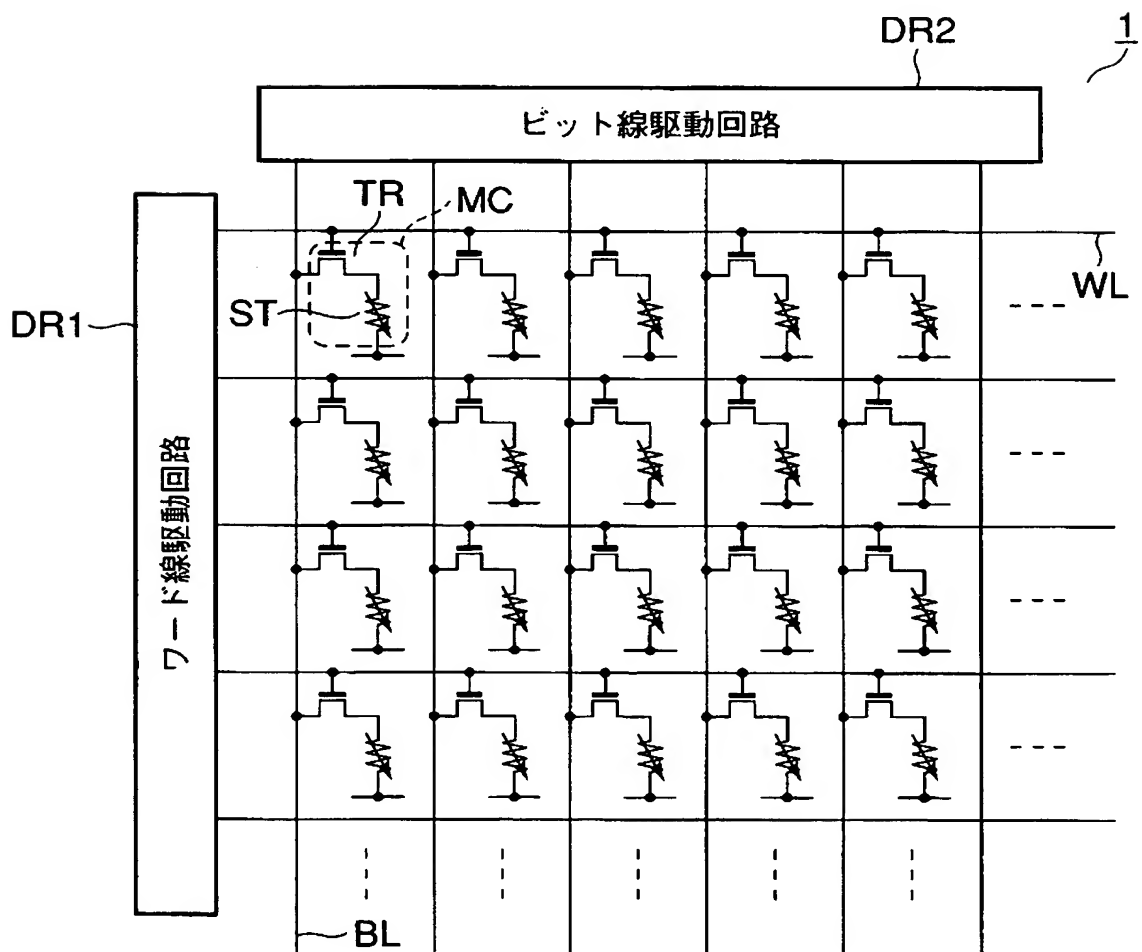
【0052】

1…不揮発性メモリ、2…半導体基板、3…第1電極、4…双安定分子層、5…第2電極、6…正孔注入層、7…電子注入層、WL…ワード線、BL…ビット線、TR…転送素子、ST…蓄積素子、MC…メモリセル、DR1…ワード線駆動回路、DR2…ビット線駆動回路。

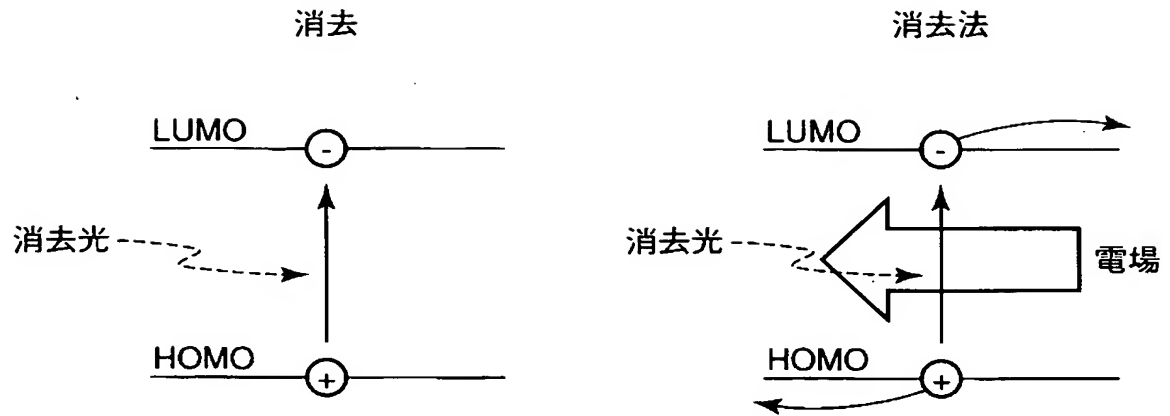
【書類名】 図面
【図 1】



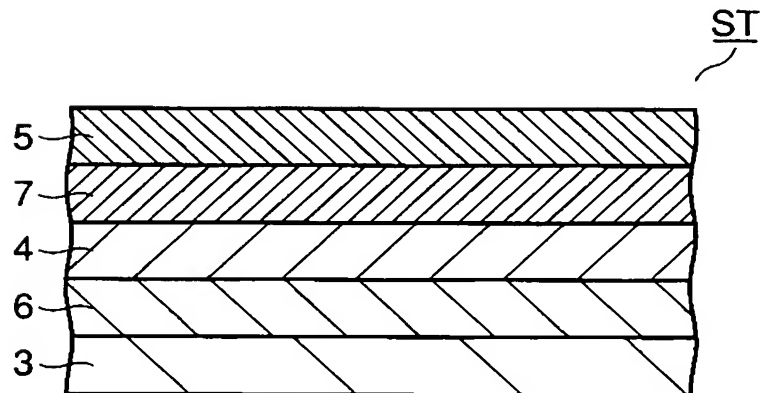
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 蓄積素子に双安定分子を使用した不揮発性メモリに書き込まれた情報の選択的且つ高速な消去を可能とすること。

【解決手段】 本発明の不揮発性メモリ 1 は、双安定分子層 4 を含んだ蓄積素子 S T をそれぞれが備えた複数のメモリセルを具備し、前記双安定分子層 4 は、前記双安定分子層 4 に正孔及び電子を注入することにより第 1 異性体から第 2 異性体への異性化を生じ且つ前記双安定分子層 4 に消去光を照射することにより前記第 2 異性体から前記第 1 異性体への異性化を生じる双安定分子を含有し、前記複数のメモリセルが記憶している情報を部分的に消去する場合に、前記複数のメモリセルのうち保持すべき情報を記憶しているメモリセル MC に対してのみ前記双安定分子層 4 に電場を印加しながら、前記複数のメモリセルの全てに前記双安定分子層 4 への前記消去光の照射を行うように構成されたことを特徴とする。

【選択図】 図 1

特願 2 0 0 3 - 3 7 2 6 6 2

出 願 人 履 歴 情 報

識別番号 [5 0 3 4 0 1 9 7 9]

1. 変更年月日	2 0 0 3 年 1 0 月 3 1 日
[変更理由]	新規登録
住 所	大阪府柏原市旭ヶ丘 4 丁目 6 9 8 番 1
氏 名	大阪教育大学長